

## Пиюш Барскар

Учреждение образования «Гомельский государственный технический университет имени П. О. Сухого», Беларусь

Научный руководитель И. А. Мурашко

### Введение

В настоящее время ведутся разработки в области технологий производства полупроводниковых интегральных схем, в том числе перехода к нанoeлектронным технологиям, возникают задачи логического синтеза вычислительных устройств, реализованных на основе данных технологий. Одной из таких задач является разработка методов проектирования цифровых устройств с низким энергопотреблением. Актуальность данной задачи:

- наличие множества устройств, используемых в повседневной жизни, которые должны сочетать высокое быстродействие с низким потреблением энергии;
- необходимость в снижении уровня потребления энергии с целью достижения определенной продолжительности автономной работы;
- необходимость в снижении потребляемой мощности для решения проблемы отвода тепла, так это влияет на габаритные показатели устройств;
- необходимость в снижении потребляемой мощности в режиме самотестирования, в котором наблюдается пик энергопотребления.

Реализация произвольной логической функции на элементах *AND/OR (И/ИЛИ)* часто является более эффективной с точки зрения аппаратных затрат (площади кристалла, требуемой для реализации логической функции) и потребления энергии. Особенно актуальна в настоящее время задача декомпозиции многовходовых логических элементов *AND/OR* схемой, состоящей из логических элементов фиксированной разрядности, которые имеются в технологической библиотеке, с минимальным энергопотреблением.

В данной работе рассмотрен случай, когда смена логических состояний на входах многовходового логического элемента происходит в различные, несовпадающие моменты времени. Это позволяет получить максимально возможную оценку переключательной активности и, соответственно, максимальную потребляемую мощность. В результате в реальной схеме данная оценка никогда не будет превышена. Для этого случая в работе предложена методика декомпозиции многовходовых логических элементов *AND/OR* с минимальным энергопотреблением. В отличие от других работ, декомпозиция может проводиться на двух-, трех-, ..., *n*-входовых элементах. Получены оценки минимальной и максимальной переключательной активности. Показаны примеры минимальной с точки зрения энергопотребления реализации многовходового логического элемента *AND*.

Энергопотребление цифровых *КМОП* схем вызвано следующими основными источниками: токами утечки, обратными токами *p**n*-переходов, сквозными токами

при переключении элемента, токами заряда и токами разряда паразитной емкости. Основной вклад в энергозатраты (90–99 %) вносят два последних фактора.

В настоящее время для оценки энергопотребления часто используют удельную переключательную активность (*Weighted Switching Activity* – *WSA*) узла схемы, которая определяет среднее число переключений логического уровня в единицу времени (или в течение одного такта синхронизации). *WSA* узла может быть найдена на основании сигнальной вероятности  $p$  следующим образом:

$$WSA = 2p(1 - p). \quad (1)$$

Соответственно, стоит задача найти сигнальную вероятность всех узлов схемы.

Известно, что для  $n$ -входового элемента  $И$  сигнальная вероятность выхода  $P_{out}$  связана с сигнальными вероятностями входов  $p_{\psi}$  ( $\psi = \overline{1, n}$ ) следующим соотношением:

$$P_{out} = \prod_{\psi=1}^n p_{\psi}. \quad (2)$$

В дальнейшем будем использовать данную формулу для расчета сигнальной вероятности на выходе элемента  $И$ . При этом, чтобы исключить эффект взаимного поглощения сигналов (одновременная смена состояний на входе приводит к тому, что состояние выхода не изменяется, в то же время внутри схемы могут происходить множественные переключения, которые приводят к затратам энергии), будем считать, что все переключения на входах происходят в несовпадающие моменты времени.

Технологическую декомпозицию рассмотрим на примере четырехвходового элемента *AND*. В общем случае при возрастании числа входов количество вариантов схем декомпозиции быстро возрастает. Для данного примера существует два варианта декомпозиции (рис. 1).

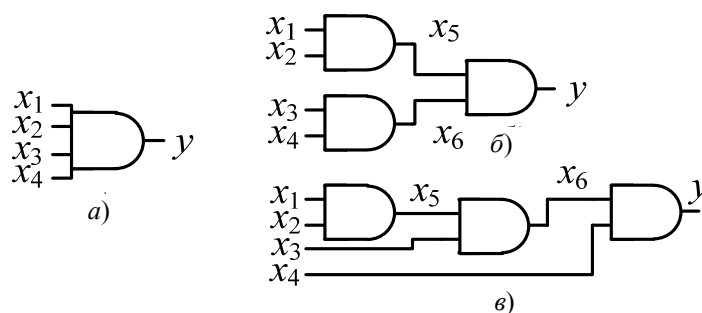


Рис. 1. Варианты декомпозиции четырехвходового элемента *AND*

Найдем удельную переключательную активность данного элемента до декомпозиции (рис. 1, *a*), которую обозначим как  $WSA_{\#1}$ , и после декомпозиции рис. 1, *б*, *в*), которые обозначим  $WSA_{\#2}$ ,  $WSA_{\#3}$ , соответственно.  $WSA_{\#1}$  определяется только переключательной активностью выхода элемента, поэтому  $WSA_{\#1} = WSA_y$  (переключательная активность входов учитывается при расчете переключательной активности предыдущего каскада). Удельная переключательная активность схем (рис. 1, *б*) находится как сумма переключательной активности выхода и переключательных активностей внутренних узлов, то есть

$$WSA_{\#2} = WSA_y + WSA_5 + WSA_6. \quad (3)$$

Аналогичный результат получим и для схемы на рис. 1, в.

Рассмотрим расчет удельной переключательной активности более подробно. Любое переключение с входа элемента *AND* попадут на его выход при наличии разрешающих сигналов на остальных его входах. Другими словами, для схемы на рис. 1, а можно записать:

$$WSA_n = \prod_{\psi=1}^n p_{i+(\psi-1)}^{T_{j+(\psi-1)}}, \quad (4)$$

$$WSA_{\#1} = WSA_y = \prod_{\psi=1}^4 p_{i+(\psi-1)}^{T_{j+(\psi-1)}},$$

$$WSA_{\#1} = WSA_y = p_2 p_3 p_4 WSA_1 + p_1 p_3 p_4 WSA_2 + p_1 p_2 p_4 WSA_3 + p_1 p_2 p_3 WSA_4. \quad (5)$$

По аналогии, для схемы на рис. 1, б:

$$WSA_{\#2} = WSA_5 + WSA_6 + WSA_y. \quad (6)$$

Учитывая, что:  $p_5 = p_1 p_2$ ,  $p_6 = p_3 p_4$ ,  $WSA_5 = p_1 WSA_2 + p_2 WSA_1$ ,  $WSA_6 = p_3 WSA_4 + p_4 WSA_3$ ,  $WSA_y = p_5 WSA_6 + p_6 WSA_5$ , получим:

$$\begin{aligned} WSA_{\#2} = & (p_2 + p_2 p_3 p_4) WSA_1 + (p_1 + p_1 p_3 p_4) WSA_2 + \\ & + (p_4 + p_1 p_2 p_4) WSA_3 + (p_3 + p_1 p_2 p_3) WSA_4. \end{aligned} \quad (7)$$

По аналогии, для схемы на рис. 1, в:  $WSA_{\#3} = WSA_5 + WSA_6 + WSA_y$ .

Учитывая, что  $p_5 = p_1 p_2$ ,  $p_6 = p_1 p_2 p_3$ ,  $WSA_5 = p_1 WSA_2 + p_2 WSA_1$ ,  $WSA_6 = p_3 WSA_5 + p_1 p_2 WSA_3$ ,  $WSA_y = p_4 WSA_6 + p_6 WSA_4$ , получим:

$$\begin{aligned} WSA_{\#3} = & (p_2 + p_2 p_3 + p_2 p_3 p_4) WSA_1 + (p_1 + p_1 p_3 + p_1 p_3 p_4) WSA_2 + \\ & + (p_1 p_2 + p_1 p_2 p_4) WSA_3 + p_1 p_2 p_3 WSA_4. \end{aligned} \quad (8)$$

Пусть на входы элемента поступает сигнал с одинаковой сигнальной вероятностью  $p$ , т. е.  $p_1 = p_2 = p_3 = p_4 = p$ . Соответственно,  $WSA_1 = WSA_2 = WSA_3 = WSA_4 = WSA$ , где  $WSA$  находится из (1). Подставляя эти значения в (5), (7), (8), получим:

$$WSA_{\#1} = 6p^4(1-p); \quad (9)$$

$$WSA_{\#2} = 8p^2(1-p+p^2-p^3); \quad (10)$$

$$WSA_{\#3} = 2p^2(2+p+p^2-4p^3). \quad (11)$$

Для сравнения эффективности рассмотренных реализаций четырехвходового элемента *AND* построим график, который показывает зависимость удельной переключательной активности от входной сигнальной вероятности (рис. 2).

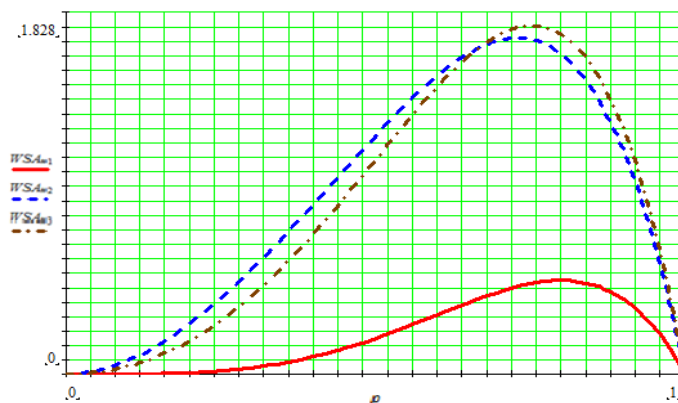


Рис. 2. Сравнение всех типов переключения активности

Анализ графика показывает, что при  $p < 0,65$  лучшим вариантом декомпозиции является схема на рис. 1, в. Для остальных значений сигнальной вероятности лучшим вариантом является схема на рис. 1, б.

### Заключение

В данной работе проведен анализ энергопотребления многовходового элемента *AND* при различных вариантах декомпозиции. Показано, что эффективность реализации зависит от сигнальной вероятности. Поэтому для эффективной декомпозиции необходимо иметь априорную информацию о том, какие сигналы будут присутствовать на входах схемы.